

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-317652
(43) Date of publication of application : 16.11.1999

(51) Int. Cl. H03K 17/08
H03K 17/693
H03K 19/0175

(21) Application number : 11-030887 (71) Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing : 09. 02. 1999 (72) Inventor : ARAI KATSUYA
YOSHIZAKI SHOICHI

(30) Priority

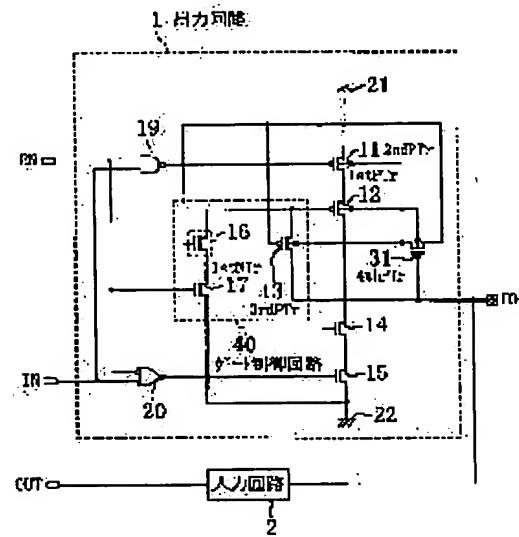
Priority number : 10 30995 Priority date : 13. 02. 1998 Priority country : JP

(54) OUTPUT CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an output circuit whose delay time is short, without generating unwanted current nor gate oxide film destruction, even at the inputting of a signal whose voltage is higher than power supply voltage.

SOLUTION: A 1st P-channel type MOS transistor 12 is connected serially to a 2nd P-channel type MOS transistor 11. One end of the transistor 12 is connected to an input-output terminal 10. A gate control circuit 40 makes the transistor 12 a cutoff state, when the voltage of a signal that is inputted to the terminal 10 exceeds power supply voltage. An enable signal EN and an input signal IN are inputted to a NAND circuit 19, the gate of the transistor 11 is controlled by an output signal of the circuit 19, and a signal is outputted from the 10 from it.



LEGAL STATUS

[Date of request for examination] 14.09.2000

[Date of sending the examiner's decision 06.01.2004
of rejection]

[Kind of final disposal of application
other than the examiner's decision of

BEST AVAILABLE COPY

rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-317652

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.^aH 03 K 17/08
17/693
19/0175

識別記号

F I

H 03 K 17/08
17/693
19/00C
Z
101J
101S

(21) 出願番号 特願平11-30887

(22) 出願日 平成11年(1999) 2月9日

(31) 優先権主張番号 特願平10-30995

(32) 優先日 平10(1998) 2月13日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 荒井 勝也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 吉崎 异一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

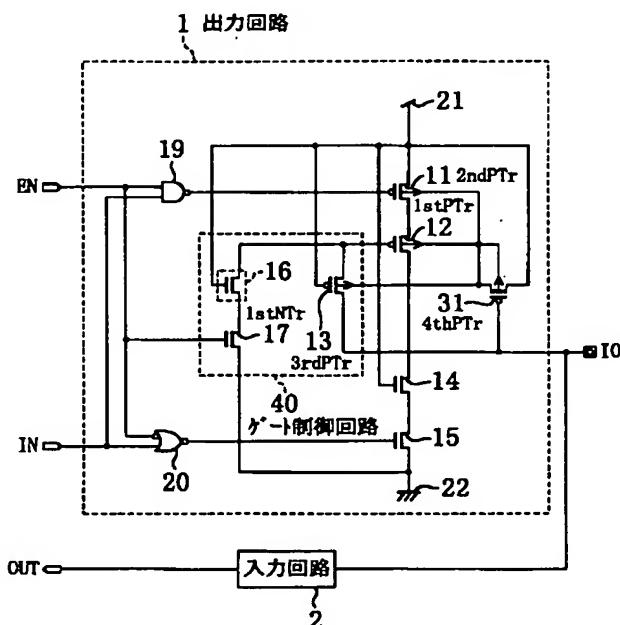
(74) 代理人 弁理士 前田 弘 (外1名)

(54) 【発明の名称】 出力回路

(57) 【要約】

【課題】 電源電圧よりも高い電圧の信号を入力した場合であっても、不要な電流発生及びゲート酸化膜破壊を起こすことなく、遅延時間の短い出力回路を提供する。

【解決手段】 第1のPチャネル型MOSトランジスタ12と第2のPチャネル型MOSトランジスタ11とが直列接続される。前記第1のPチャネル型MOSトランジスタ12の一端は入出力端子10に接続される。ゲート制御回路40は、前記入出力端子10に入力される信号の電圧が電源電圧を越えるときに、前記第1のPチャネル型MOSトランジスタ12を遮断状態にする。NAND回路19にはイネーブル信号EN及び入力信号INが入力され、このNAND回路19の出力信号により前記第2のPチャネル型MOSトランジスタ11のゲートを制御して、前記入出力端子10から信号を出力する。



(2)

特開平 11-317652

1

2

【特許請求の範囲】

【請求項 1】 入出力端子を有する出力回路であって、一端が前記入出力端子に接続された第 1 の P チャネル型 MOS トランジスタと、前記第 1 の P チャネル型 MOS トランジスタの他端に直列接続された第 2 の P チャネル型 MOS トランジスタと、前記入出力端子に接続され、前記第 1 の P チャネル型 MOS トランジスタのゲート電圧を制御するゲート制御回路とを備え、前記第 2 の P チャネル型 MOS トランジスタのゲートには信号が入力され、この入力信号に従って前記入出力端子から信号が output されることを特徴とする出力回路。

【請求項 2】 前記ゲート制御回路は、

出力イネーブル時は、前記第 1 の P チャネル型 MOS トランジスタのゲート電圧を電源電圧よりも低下させて前記第 1 の P チャネル型 MOS トランジスタを導通状態とし、一方、

出力ディセーブル時は、前記入出力端子の電圧が電源電圧を越えるときに、前記第 1 の P チャネル型 MOS トランジスタのゲートを前記入出力端子に接続して前記第 1 の P チャネル型 MOS トランジスタを遮断状態とすることを特徴とする請求項 1 記載の出力回路。

【請求項 3】 前記ゲート制御回路は、

第 3 の P チャネル型 MOS トランジスタ及び第 1 の N チャネル型 MOS トランジスタを有し、

前記第 3 の P チャネル型 MOS トランジスタは、一端が前記入出力端子に接続され、他端が前記第 1 の P チャネル型 MOS トランジスタのゲートに接続され、ゲート電圧は電源電圧とされ、

前記第 1 の N チャネル型 MOS トランジスタは、一端が前記第 1 の P チャネル型 MOS トランジスタのゲートに接続され、他端の電圧は接地電圧又は電源電圧以下の電圧とされ、ゲートにはイネーブル信号が入力されることを特徴とする請求項 1 記載の出力回路。

【請求項 4】 前記ゲート制御回路は、電圧降下回路を有し、

前記電圧降下回路は、

前記第 1 の P チャネル型 MOS トランジスタのゲートと前記第 1 の N チャネル型 MOS トランジスタの前記一端との間に配置されることを特徴とする請求項 3 記載の出力回路。

【請求項 5】 別途、第 4 の P チャネル型 MOS トランジスタを有し、

前記第 4 の P チャネル型 MOS トランジスタは、一端の電圧が電源電圧とされ、他端が前記第 1 、第 2 及び第 3 の P チャネル型 MOS トランジスタの基板に接続され、ゲートが前記入出力端子に接続されることを特徴とする請求項 3 記載の出力回路。

【請求項 6】 前記ゲート制御回路は、

前記入出力端子の電圧が電源電圧以下のとき、前記第 1 の P チャネル型 MOS トランジスタのゲート電圧を電源電圧よりも低下させて前記第 1 の P チャネル型 MOS トランジスタを導通状態とし、一方、

前記入出力端子の電圧が電源電圧を越えるとき、前記第 1 の P チャネル型 MOS トランジスタのゲートを前記入出力端子に接続して前記第 1 の P チャネル型 MOS トランジスタを遮断状態とすることを特徴とする請求項 1 記載の出力回路。

10 【請求項 7】 前記ゲート制御回路は、

第 3 及び第 4 の P チャネル型 MOS トランジスタ、第 1 及び第 2 の N チャネル型 MOS トランジスタを有し、前記第 3 の P チャネル型 MOS トランジスタの一端、前記第 1 の N チャネル型 MOS トランジスタの一端、及び前記第 2 の N チャネル型 MOS トランジスタのゲートは、各々、前記第 1 の P チャネル型 MOS トランジスタのゲートに接続され、

前記第 4 の P チャネル型 MOS トランジスタは、一端が前記第 1 の N チャネル型 MOS トランジスタのゲート及び第 2 の N チャネル型 MOS トランジスタの一端に接続され、他端の電圧は電源電圧とされ、

前記第 3 の P チャネル型 MOS トランジスタは、ゲート電圧が電源電圧とされ、一端が前記第 4 の P チャネル型 MOS トランジスタのゲートに接続され、他端が前記入出力端子に接続されることを特徴とする請求項 6 記載の出力回路。

【請求項 8】 前記ゲート制御回路は、第 5 の P チャネル型 MOS トランジスタを有し、

前記第 5 の P チャネル型 MOS トランジスタは、ゲートが前記入出力端子に接続され、一端が前記第 2 の N チャネル型 MOS トランジスタの一端に接続され、他端の電圧が電源電圧とされることを特徴とする請求項 7 記載の出力回路。

【請求項 9】 ゲート制御回路は、第 1 及び第 2 の電圧降下回路を有し、

前記第 1 の電圧降下回路は、前記第 1 の P チャネル型 MOS トランジスタのゲートと前記第 1 の N チャネル型 MOS トランジスタの一端との間に配置され、

前記第 2 の電圧降下回路は、前記第 4 の P チャネル型 MOS トランジスタの一端と、前記第 1 の N チャネル型 MOS トランジスタのゲートと前記第 2 の N チャネル型 MOS トランジスタの一端との接続点との間に配置されることを特徴とする請求項 7 又は請求項 8 記載の出力回路。

【請求項 10】 ゲート制御回路は、第 3 の電圧降下回路を有し、

前記第 3 の電圧降下回路は、電圧降下機能を行う回路部分と、第 6 の P チャネル型 MOS トランジスタとを有し、

50 前記第 6 の P チャネル型 MOS トランジスタは、一端が

(3)

特開平11-317652

3

前記第5のPチャネル型MOSトランジスタの一端に接続され、他端が前記第1のNチャネル型MOSトランジスタのゲートと前記第2のNチャネル型MOSトランジスタの一端との前記接続点に接続され、ゲートが前記電圧降下機能を行う回路部分を介して前記入出力端子に接続されることを特徴とする請求項9記載の出力回路。

【請求項11】別途、第7のPチャネル型MOSトランジスタを有し、

前記第7のPチャネル型MOSトランジスタは、一端の電圧が電源電圧とされ、他端が前記第1、第2及び第3のPチャネル型MOSトランジスタの基板に接続され、ゲートが前記入出力端子に接続されることを特徴とする請求項7記載の出力回路。

【請求項12】前記電圧降下回路は、

ゲートを電源電圧としたNチャネル型MOSトランジスタ、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ、ダイオード、又はこれ等を複数直列接続した回路で構成されることを特徴とする請求項4記載の出力回路。

【請求項13】前記第1の電圧降下回路は、

ゲートを電源電圧としたNチャネル型MOSトランジスタ、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ、ダイオード、又はこれ等を複数直列接続した回路で構成されることを特徴とする請求項9又は請求項10記載の出力回路。

【請求項14】前記第2の電圧降下回路は、

ゲートを電源電圧としたNチャネル型MOSトランジスタ、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ、ダイオード、又はこれ等を複数直列接続した回路で構成されることを特徴とする請求項9又は請求項10記載の出力回路。

【請求項15】前記第3の電圧降下回路は、

ゲートを電源電圧としたNチャネル型MOSトランジスタ、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ、ダイオード、又はこれ等を複数直列接続した回路で構成されることを特徴とする請求項10記載の出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路のインターフェースに関する。

【0002】

【従来の技術】近年、半導体集積回路（以下、LSIと呼ぶ）が高集積化及び高速化するに伴って消費電力が増加してきている。消費電力の増加を抑える手段として、電源電圧を下げてLSIを動作させる手段が多く採用される。しかしながら、全てのLSIにおいて電源電圧を下げられない場合には、高い電源電圧（例えば5V）で動作させるLSIと低い電源電圧（例えば3.3V）で動作させるLSIとのインターフェースが重要になって

(4)

きた。5V等の高電源電圧で動作するLSIの入出力端子と3.3V等の低電源電圧で動作するLSIの入出力端子を接続した場合、次の二点が問題となる。

【0003】第一点は、3.3Vで動作するLSIにおいて、電源電圧（3.3V）よりも高い電圧（5V）が入力された場合、入出力回路の出力回路部分を構成するPチャネル型MOSトランジスタが導通状態となり、入出力端子からPチャネル型MOSトランジスタを通してLSI内部の電源ラインに電流を流し込んでしまう点である。入出力端子は入力状態の時はハイインピーダンス状態である必要があるので、電流を流し込んでしまうと、消費電力の不要な増加を招く。

【0004】第二点は、3.3Vで動作するLSI内部のMOSトランジスのゲート酸化膜は、その電源電圧（3.3V）を越える耐圧を持っていない場合が多く、そこに5V等の高電圧を入力すると、ゲート酸化膜の耐圧を越えてしまい、MOSトランジスの破壊を招くという点である。

【0005】そこで、前記課題を解決する手段として、既に、例えばUSP5555149が提案されている。

【0006】以下、図面を用いて従来の入出力回路について説明する。尚、以下で説明する入出力回路では、前記二点の課題は既に解決されている。

【0007】図3は従来の入出力回路の構成図を示す。

【0008】図3において、IOは入出力端子であって、LSI外部と信号の授受を行う端子である。INは入力端子であって、LSI内部からの信号を入力する端子である。OUTは出力端子であって、LSI内部に信号を出力する端子である。更に、ENはイネーブル端子であって、入出力端子IOの出力状態と入力状態との切り替えを行う端子である。

【0009】1は出力回路であって、イネーブル端子ENがハイレベル（以下“H”と記す）のとき、入力端子INからの信号を入出力端子IOから出力し、イネーブル端子ENがロウレベル（以下“L”と記す）のとき、入出力端子IOをハイインピーダンス状態とする。

【0010】11、12、13はPチャネル型MOSトランジスタ（以下PMOSと記す）、14、15、16、17はNチャネル型MOSトランジスタ（以下、NMOSと記す）である。18はインバータ回路、19はNAND回路、20はNOR回路である。更に、21は電源端子、22はグランド端子である。PMOS11、12は電源端子21と入出力端子IOとの間に直列接続される。また、NMOS14、15は入出力端子IOとグランド端子22との間に直列接続される。

【0011】NAND回路19の出力は、PMOS11のゲートに入力されると共に、直列接続されたNMOS17、16を順に介してPMOS12のゲートに入力され、且つインバータ回路18を介してNMOS17のゲートに入力される。NAND回路19の一方の入力端子

(4)

特開平 11-317652

5

6

はイネーブル端子ENに接続され、他方の端子は入力端子INに接続される。また、入出力端子IOとPMOS12のゲートとはPMOS13を介して接続される。PMOS13、NMOS14、NMOS16のゲートは電源端子21に接続される。

【0012】NOR回路20の出力はNMOS15のゲートに入力され、NOR回路20の一方の入力端子にはイネーブル端子ENの反転信号が入力され、他方の端子は入力端子INに接続される。

【0013】尚、2は入力回路であって、入出力端子IOからの信号を出力端子OUTから出力して、LSI内部に伝える役割である。

【0014】以上のように構成された入出力回路において、特に、出力回路1における内部回路から入出力端子IOへの信号の出力動作について、以下、説明する。

【0015】入出力端子IOから信号を出力するには、イネーブル端子ENを“H”とする。先ず、入力端子INが“H”的ときの入力端子INから入出力端子IOへの出力動作について説明する。この時、NAND回路19及びNOR回路20の出力は共に“L”となる。PMOS13、NMOS14、NMOS16のゲートは、電源端子21に接続されているので、ゲートには常に“H”的信号が入力され、PMOS13は遮断状態、NMOS14は導通状態、NMOS16は導通状態となっている。インバータ回路18には、NAND回路19から“L”的信号が入力されるので、“H”を出力し、NMOS17を導通状態とする。この時、PMOS11、PMOS12、NMOS15のゲートは全て“L”となり、PMOS11、12は導通状態、NMOS15は遮断状態である。従って、電源端子21、2個のPMOS11、PMOS12を介して入出力端子IOからは、“H”的信号が出力される。

【0016】次に、入力端子INが“L”的ときの入力端子INから入出力端子IOへの出力動作について説明する。このとき、NAND回路19及びNOR回路20の出力は共に“H”となる。PMOS13、NMOS14及びNMOS16のゲートは、電源端子21に接続されているので、ゲートには常に“H”的信号が入力され、PMOS13は遮断状態、NMOS14は導通状態、NMOS16は導通状態となっている。インバータ回路18には、NAND回路19から“H”的信号が入力されるので、“L”を出力し、NMOS17を遮断状態とする。この時、PMOS13のゲートは“H”であって遮断状態であるので、PMOS12のゲート電圧は不定となる。また、PMOS11、NMOS15のゲートは“H”であるので、PMOS11は遮断状態、NMOS15は導通状態である。NMOS14もゲートが“H”であって導通状態である。従って、グランド端子22、NMOS15、NMOS14を介して入出力端子IOからは“L”的信号が出力される。

【0017】尚、PMOS12の状態は不定であるが、このPMOS12に直列接続されたPMOS11が遮断状態であるので、電源端子21から入出力端子IOへの電流は発生しない。

【0018】次に、入出力端子IOから内部回路への信号の入力動作について、以下、説明する。

【0019】入出力端子IOから信号を入力するにはイネーブル端子ENを“L”とする。この時、出力回路1は入出力端子IOに対してハイインピーダンス状態となっている。以下、ハイインピーダンス状態の時の出力回路1の動作について、以下、説明する。

【0020】イネーブル端子ENを“L”とすると、NAND回路19の出力は“H”、NOR回路20の出力は“L”となる。PMOS11のゲートには“H”的信号が入力され、NMOS15のゲートには“L”的信号が入力され、それぞれ遮断状態となる。従って、入出力端子IOからの電流経路はなくなる。つまり、PMOS11及びNMOS15が遮断状態となると、電源端子21及びグランド端子22と入出力端子IOとを接続する電流経路がなくなる。この時、出力回路1はハイインピーダンス状態となっている。

【0021】この状態で入出力端子IOから信号が入力されると、入力回路2を通じて出力端子OUTから内部回路に信号が入力される。

【0022】ここで、入出力端子IOから電源電圧よりも高い電圧が入力された場合の出力回路1の動作について説明する。電源端子21の電源電圧が3.3Vであって、入出力端子IOから電源電圧を越える電圧（例えば5V）の信号が入力された場合を例に挙げて説明する。

【0023】PMOS13においてはゲート電圧（3.3V）より一端の電圧が高くなる（5Vになる）ことによって、PMOS13が導通状態となり、入出力端子IOからの入力信号（5V）がPMOS12のゲートに伝搬される。これにより、PMOS12は、ゲートが5Vになって遮断状態になる。従って、入出力端子IOから電源端子21への電流は遮断される。

【0024】一方、NMOS16にも入出力端子IOからの信号（5V）が伝搬されるが、ゲート電圧（3.3V）が一端の電圧（5V）及び他端の電圧（3.3V）

40 に比べ低いので、遮断状態となる。従って、入出力端子IOからPMOS13を介して伝搬してきた5Vの入力信号はNMOS17には伝わらない。

【0025】更に、NMOS15も遮断状態であるので、入出力端子IOからグランド端子22への電流も発生しない。

【0026】また、NMOS14、NMOS16の一端に5Vが印加されるが、ゲート電圧が3.3Vであるので、ゲート酸化膜には5Vと3.3Vの差、即ち1.7Vしかかからず、ゲート酸化膜は破壊するに至ることはない。PMOS13においては、両端に5Vが印加され

(5)

特開平 11-317652

8

7

るが、ゲート電圧が3.3Vであるので、ゲート酸化膜には5Vと3.3Vの差、即ち1.7Vしかかからず、ゲート酸化膜は破壊に至ることはない。PMOS12においては、ゲートに5Vが印加されるが、一端の電圧も5V、他端の電圧は3.3Vであるので、ゲート酸化膜の電圧は1.7Vである。NMOS14の他端の電圧はゲート電圧(3.3V)からNMOS14の閾値電圧(バックバイアス効果を考慮して1Vとする)を差し引いた電圧(2.3V)となり、NMOS15に悪影響を及ぼすことはない。

【0027】

【発明が解決しようとする課題】しかしながら、図3を参照しながら既述した図3の従来の入出力回路においては、出力回路1では、入力端子INから入出力端子IOへ"1"信号を出力するとき、入力端子INからの信号はNAND回路19、インバータ回路18、NMOS17、NMOS16、PMOS12を経て入出力端子IOから出力される構成をとっている。このため、入力端子INに入力された信号を入出力端子IOから出力までの遅延時間が非常に長くなってしまうという問題があった。

【0028】また、半導体集積回路技術において、電源電圧を下げる目的は、LSIの集積度を高め且つ動作速度を速くした際の消費電力増加を抑えるためであるので、出力回路の遅延時間の増加は、この目的に相反するものであって、受け入れることは困難である。

【0029】また、NAND回路19は、インバータ回路18、NMOS17、NMOS16、PMOS11、PMOS12、PMOS13を駆動する必要があつて、これ等を高速に駆動しようとすると、NAND回路19を構成するトランジスタのサイズを大きくする必要がある。しかしながら、集積度の向上及び消費電力の低減に背反してしまう。

【0030】本発明の目的は、電源電圧よりも高い電圧の信号を入力した場合であつても、不要な電流発生及びゲート酸化膜の破壊を起こすことなく、従来よりも更に遅延時間の短い出力回路を提供することにある。

【0031】

【課題を解決するための手段】前記目的を達成するため、請求項1記載の発明の出力回路は、入出力端子を有する出力回路であつて、一端が前記入出力端子に接続された第1のPチャネル型MOSトランジスタと、前記第1のPチャネル型MOSトランジスタの他端に直列接続された第2のPチャネル型MOSトランジスタと、前記入出力端子に接続され、前記第1のPチャネル型MOSトランジスタのゲート電圧を制御するゲート制御回路とを備え、前記第2のPチャネル型MOSトランジスタのゲートには信号が入力され、この入力信号に従って前記入出力端子から信号がOutputされることを特徴とする。

【0032】請求項2記載の発明は、前記請求項1記載

の出力回路において、前記ゲート制御回路は、出力イネーブル時は、前記第1のPチャネル型MOSトランジスタのゲート電圧を電源電圧よりも低下させて前記第1のPチャネル型MOSトランジスタを導通状態とし、一方、出力ディセーブル時は、前記入出力端子の電圧が電源電圧を越えるときに、前記第1のPチャネル型MOSトランジスタのゲートを前記入出力端子に接続して前記第1のPチャネル型MOSトランジスタを遮断状態とすることを特徴とする。

10 【0033】請求項3記載の発明は、前記請求項1記載の出力回路において、前記ゲート制御回路は、第3のPチャネル型MOSトランジスタ及び第1のNチャネル型MOSトランジスタを有し、前記第3のPチャネル型MOSトランジスタは、一端が前記入出力端子に接続され、他端が前記第1のPチャネル型MOSトランジスタのゲートに接続され、ゲート電圧は電源電圧とされ、前記第1のNチャネル型MOSトランジスタは、一端が前記第1のPチャネル型MOSトランジスタのゲートに接続され、他端の電圧は接地電圧又は電源電圧以下の電圧とされ、ゲートにはイネーブル信号が入力されることを特徴とする。

【0034】請求項4記載の発明は、前記請求項3記載の出力回路において、前記ゲート制御回路は、電圧降下回路を有し、前記電圧降下回路は、前記第1のPチャネル型MOSトランジスタのゲートと前記第1のNチャネル型MOSトランジスタの前記一端との間に配置されることを特徴とする。

【0035】請求項5記載の発明は、前記請求項3記載の出力回路において、別途、第4のPチャネル型MOSトランジスタを有し、前記第4のPチャネル型MOSトランジスタは、一端の電圧が電源電圧とされ、他端が前記第1、第2及び第3のPチャネル型MOSトランジスタの基板に接続され、ゲートが前記入出力端子に接続されることを特徴とする。

【0036】請求項6記載の発明は、前記請求項1記載の出力回路において、前記ゲート制御回路は、前記入出力端子の電圧が電源電圧以下のとき、前記第1のPチャネル型MOSトランジスタのゲート電圧を電源電圧よりも低下させて前記第1のPチャネル型MOSトランジスタを導通状態とし、一方、前記入出力端子の電圧が電源電圧を越えるとき、前記第1のPチャネル型MOSトランジスタのゲートを前記入出力端子に接続して前記第1のPチャネル型MOSトランジスタを遮断状態とすることを特徴とする。

【0037】請求項7記載の発明は、前記請求項6記載の出力回路において、前記ゲート制御回路は、第3及び第4のPチャネル型MOSトランジスタ、第1及び第2のNチャネル型MOSトランジスタを有し、前記第3のPチャネル型MOSトランジスタの一端、前記第1のNチャネル型MOSトランジスタの一端、及び前記第2の

50

(6)

特開平11-317652

9

10

・Nチャネル型MOSトランジスタのゲートは、各々、前記第1のPチャネル型MOSトランジスタのゲートに接続され、前記第4のPチャネル型MOSトランジスタは、一端が前記第1のNチャネル型MOSトランジスタのゲート及び第2のNチャネル型MOSトランジスタの一端に接続され、他端の電圧は電源電圧とされ、前記第3のPチャネル型MOSトランジスタは、ゲート電圧が電源電圧とされ、一端が前記第4のPチャネル型MOSトランジスタのゲートに接続され、他端が前記入出力端子に接続されることを特徴とする。

【0038】請求項8記載の発明は、前記請求項7記載の出力回路において、前記ゲート制御回路は、第5のPチャネル型MOSトランジスタを有し、前記第5のPチャネル型MOSトランジスタは、ゲートが前記入出力端子に接続され、一端が前記第2のNチャネル型MOSトランジスタの一端に接続され、他端の電圧が電源電圧とされることを特徴とする。

【0039】請求項9記載の発明は、前記請求項7又は請求項8記載の出力回路において、ゲート制御回路は、第1及び第2の電圧降下回路を有し、前記第1の電圧降下回路は、前記第1のPチャネル型MOSトランジスタのゲートと前記第1のNチャネル型MOSトランジスタの一端との間に配置され、前記第2の電圧降下回路は、前記第4のPチャネル型MOSトランジスタの一端と、前記第1のNチャネル型MOSトランジスタのゲートと前記第2のNチャネル型MOSトランジスタの一端との接続点との間に配置されることを特徴とする。

【0040】請求項10記載の発明は、前記請求項9記載の出力回路において、ゲート制御回路は、第3の電圧降下回路を有し、前記第3の電圧降下回路は、電圧降下機能を行う回路部分と、第6のPチャネル型MOSトランジスタとを有し、前記第6のPチャネル型MOSトランジスタは、一端が前記第5のPチャネル型MOSトランジスタの一端に接続され、他端が前記第1のNチャネル型MOSトランジスタのゲートと前記第2のNチャネル型MOSトランジスタの一端との前記接続点に接続され、ゲートが前記電圧降下機能を行う回路部分を介して前記入出力端子に接続されることを特徴とする。

【0041】請求項11記載の発明は、前記請求項7記載の出力回路において、別途、第7のPチャネル型MOSトランジスタを有し、前記第7のPチャネル型MOSトランジスタは、一端の電圧が電源電圧とされ、他端が前記第1、第2及び第3のPチャネル型MOSトランジスタの基板に接続され、ゲートが前記入出力端子に接続されることを特徴とする。

【0042】請求項12記載の発明は、前記請求項4記載の出力回路において、前記電圧降下回路は、ゲートを電源電圧としたNチャネル型MOSトランジスタ、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ、ダイオード、又はこれ等を複数直列接続した回路で構成されることを特徴とする。

構成されることを特徴とする。

【0043】請求項13記載の発明は、前記請求項9又は請求項10記載の出力回路において、前記第1の電圧降下回路は、ゲートを電源電圧としたNチャネル型MOSトランジスタ、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ、ダイオード、又はこれ等を複数直列接続した回路で構成されることを特徴とする。

【0044】請求項14記載の発明は、前記請求項9又は請求項10記載の出力回路において、前記第2の電圧降下回路は、ゲートを電源電圧としたNチャネル型MOSトランジスタ、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ、ダイオード、又はこれ等を複数直列接続した回路で構成されることを特徴とする。

【0045】請求項15記載の発明は、前記請求項10記載の出力回路において、前記第3の電圧降下回路は、ゲートを電源電圧としたNチャネル型MOSトランジスタ、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ、ダイオード、又はこれ等を複数直列接続した回路で構成されることを特徴とする。

【0046】前記の構成によれば、電源電圧より高い電圧の信号を入力した場合でも、不要な電流発生及びゲート酸化膜破壊を起こすことなく、更に遅延時間の小さい出力回路を得ることができる。

【0047】

【発明の実施の形態】以下本発明の実施の形態について、図面を参照しながら説明する。

【0048】(第1の実施の形態) 図1は本発明の第1の実施の形態における入出力回路の構成図である。

【0049】尚、本発明は入出力回路を構成する出力回路部に特に特徴があるものである。従って、入出力回路の別の構成要素の1つである入力回路については、内部の構成の説明を省略する。

【0050】図1において、I/Oは入出力端子であって、LSI外部と信号の授受を行う端子である。INは入力端子であって、LSI内部からの信号を入力する端子である。OUTは出力端子であって、LSI内部に信号を出力する端子である。更に、ENはイネーブル端子であって、入出力端子I/Oの出力状態と入力状態の切り替えを行う端子である。

【0051】1は出力回路であって、イネーブル端子が“H”的とき、入力端子INからの信号を入出力端子I/Oから出力し、イネーブル端子が“L”的とき、入出力端子I/Oをハイインピーダンス状態とする。

【0052】12は第1のPMOS、11は第2のPMOS、13は第3のPMOS、31は第4のPMOSである。14、15、16はNMOS、17は第1のNMOSである。19はNAND回路、20はNOR回路である。更に、21は電源端子、22はグランド端子である。また、40は、前記第1のPMOS12のゲート電圧を制御するゲート制御回路であって、前記PMOS1

3及び2個のNMOS16、17から成る。前記NMOS16は電圧降下回路を構成する。

【0053】PMOS11、PMOS12は、電源端子21と入出力端子IOとの間に直列接続されている。また、NMOS14、NMOS15はグランド端子22と入出力端子IO間に直列接続されている。NAND回路19の出力は、PMOS11のゲートに入力されており、NAND回路19の一方の入力端子は、イネーブル端子ENに接続され、他方の端子は入力端子INに接続される。NOR回路20の出力はNMOS15のゲートに入力され、NOR回路20の一方の入力端子には、イネーブル端子ENの反転信号が入力され、他方の端子は入力端子INが接続される。また、PMOS12のゲートは、直列接続されたNMOS16、NMOS17を介してグランド端子22に接続されると共に、PMOS13を介して入出力端子IOと接続される。

【0054】PMOS13、NMOS14、NMOS16のゲートは電源端子21に接続され、NMOS17のゲートはイネーブル端子ENに接続される。

【0055】更に、PMOS11、PMOS12、PMOS13、PMOS31の基板は、ゲートを入出力端子IOに接続したPMOS31を介して電源端子21に接続される。

【0056】尚、PMOS11の基板は必ずしも、PMOS12の基板と共に接続される必要はないが、共通接続すれば、設計上、少面積化が実現できるという効果が得られる。

【0057】尚、NMOS14及びNMOS16は、その各ゲートが電源に接続されており、一端に電源電圧を越える電圧が印加された場合であっても、他端には（ゲート電位-しきい値電圧）の電圧しか伝わらないので、電圧降下回路としての役割を果たす。

【0058】2は入力回路であって、入出力端子IOに入力された信号を出力端子OUTを介してLSI内部に伝える役割をする。

【0059】以上のように構成された入出力回路について、特に、出力回路1について、以下、その動作を説明する。

【0060】先ず、内部回路から入力端子IN、出力回路1、入出力端子IOを介して信号を出力する際の動作について説明する。

【0061】入出力端子IOから信号を出力するには、イネーブル端子ENを“H”とする。入力端子INが“H”であれば、NAND回路19及びNOR回路20の出力は共に“L”となる。PMOS13、NMOS14、NMOS16は共にゲートが電源端子21に接続されて“H”であるので、PMOS13は遮断状態、NMOS14、NMOS16は導通状態である。PMOS11はゲートは“L”であって導通状態、NMOS15はゲートが“L”であって遮断状態、NMOS17はゲ

トが“H”であって導通状態にある。NMOS16、NMOS17は導通状態にあるので、PMOS12のゲートは“L”となって導通状態となる。

【0062】従って、PMOS11、PMOS12、NMOS14は導通状態、NMOS15は遮断状態であるので、電源端子21から入出力端子IOに“H”的信号が出力される。

【0063】また、この時、PMOS31はゲートが“H”となるので遮断状態となり、PMOS11、PMOS12、PMOS13、PMOS31の基板はフローティング状態となる。この場合は、PMOS11、PMOS12及びPMOS31のドレイン拡散層-基板の寄生ダイオードによって、基板電位は電源電圧からダイオードのビルトイン電圧（約0.7V）を差し引いた電圧となり、電源電圧が3.3Vであれば、基板電圧は2.6Vである。

【0064】次に、入力端子INが“L”的ときの出力回路1の動作について説明する。尚、この時には、イネーブル端子ENからは“H”的信号が出力される。

【0065】入力端子INが“L”的とき、NAND回路19及びNOR回路20の出力は共に“H”となる。この時、NMOS17、NMOS16は共に導通状態であるので、PMOS12のゲートにはグランド端子22から“L”的信号が入力され、PMOS12は導通状態のままである。一方、PMOS11のゲートにはNAND回路19から“H”的信号が入力されるので、PMOS11は遮断状態となり、電源端子21から入出力端子IOへの経路は遮断される。

【0066】また、NMOS14、NMOS15は導通状態であるので、グランド端子22から入出力端子IOに“L”的信号が出力される。

【0067】このとき、PMOS31はゲートが“L”となるので導通状態となる。従って、PMOS11、PMOS12、PMOS13、PMOS31の基板は電源電圧の電位（3.3V）となる。

【0068】次に、入出力端子IOから入力回路2、出力端子OUTを介して内部回路に信号が入力される際の動作について説明する。

【0069】この時、イネーブル端子ENには“L”的信号を入力して、出力回路1を入出力回路IOに対してハイインピーダンス状態とする。

【0070】この際の出力回路1の動作について、更に詳細に説明する。

【0071】イネーブル端子ENを“L”とすると、NAND回路19の出力は“H”、NOR回路20の出力は“L”となる。これにより、PMOS11のゲートは“H”、NMOS15のゲートは“L”となり、それぞれ遮断状態となる。また、ゲートが電源端子21に接続されているPMOS13も遮断状態である。従って、入出力端子IOからの電流経路はなくなり、出力回路1

はハイインピーダンス状態となる。この状態で、入出力端子 I O から信号を入力すると、この信号は入力回路 2 を通じて出力端子 O U T から出力される。

【0072】更に、電源電圧よりも高い電圧が入力された場合、例えば電源電圧が 3. 3 V であって 5 V の信号が入出力端子 I O に入力された場合には、PMOS 1 3 ではゲート電圧 (3. 3 V) よりも一端の電圧が高くなる (5 V になる) ことによって、PMOS 1 3 が導通状態となり、5 V の入力信号が PMOS 1 2 のゲートに伝搬される。これにより PMOS 1 2 は、ゲート電圧が 5 V になって遮断状態になり、入出力端子 I O から電源端子 2 1 への電流を遮断する。一方、NMOS 1 6 にも 5 V が伝搬されるが、NMOS 1 6 のゲートは 3. 3 V であるので、NMOS 1 7 にはゲート電圧 (3. 3 V) から NMOS 1 6 の閾値電圧 (バックバイアス効果を考慮して 1 V とする) を差し引いた電圧 (2. 3 V) しか伝わらない。そして、NMOS 1 7 は遮断状態であるので、入出力端子 I O からの信号が PMOS 1 3 、 NMOS 1 6 、 NMOS 1 7 を介してグランド端子 2 2 に流れ込むことはない。更に、NMOS 1 5 も遮断状態であるので、入出力端子 I O から NMOS 1 4 、 NMOS 1 5 を介してグランド端子 2 2 への電流も発生しない。

【0073】また、NMOS 1 4 、 NMOS 1 6 の一端に 5 V が印加されるが、ゲート電圧が 3. 3 V であるので、ゲート酸化膜には 5 V と 3. 3 V の差、即ち 1. 7 V しかかからず、そのゲート酸化膜は破壊に至ることはない。また、PMOS 1 3 においては、両端に 5 V が印加されるが、ゲート電圧が 3. 3 V であるので、ゲート酸化膜には 5 V と 3. 3 V の差、即ち 1. 7 V しかかからず、そのゲート酸化膜は破壊に至ることはない。更に、PMOS 1 2 においては、ゲートに 5 V が印加されるが、一端の電圧も 5 V 、他端の電圧は 3. 3 V であるので、ゲート酸化膜の電圧は 1. 7 V である。更に、NMOS 1 4 の他端の電圧はゲート電圧 (3. 3 V) から NMOS 1 6 の閾値 (バックバイアス効果を考慮して 1 V とする) を差し引いた電圧 (2. 3 V) となり、NMOS 1 5 に悪影響を及ぼすことはない。また、PMOS 1 1 及び PMOS 3 1 のドレイン拡散層-基板の寄生ダイオードによって、PMOS 1 1 、 PMOS 1 2 、 PMOS 1 3 、 PMOS 3 1 の基板電位は、入出力端子 I O の電圧 (5 V) からダイオードのビルトイン電圧 (約 0. 7 V) を差し引いた電圧 (4. 3 V) となる。

【0074】以上のような構成によれば、入出力端子 I O から信号を出力する際には、PMOS 1 2 は常に導通状態にあり、入力端子 I N からの信号は NAND 回路 1 9 、 PMOS 1 1 、 PMOS 1 2 を経て入出力端子 I O から出力されるので、従来の出力回路と比べて、入力端子 I N に入力された信号を入出力端子 I O から出力するまでの遅延時間を短縮することができる。

【0075】また、NAND 回路 1 9 からの信号により

駆動する素子は PMOS 1 1 だけであるので、NAND 回路 1 9 のトランジスタサイズを大きくする必要はない、LSI の高集積化に貢献できる。また、NAND 回路 1 9 が駆動する負荷は小さく、更に NAND 回路 1 9 のトランジスタサイズ自身も小さいので、消費電力の低減にも効果がある。

【0076】尚、LSI を構成する各トランジスタの耐圧が 5 V であり、電源電圧のみが 3. 3 V の場合は、NMOS 1 4 、 NMOS 1 6 を必ずしも設ける必要はない。

【0077】また、PMOS 1 1 、 PMOS 1 2 、 PMOS 1 3 の基板は、従来例のように入出力端子 I O に接続してもよい。しかし、本実施の形態のように PMOS 3 1 を介して電源端子 2 1 に接続すると、基板の電圧が従来例では 0 V から 5 V まで変動するのに対し、本実施の形態では基板電圧の変動幅が 3. 3 V から 5 V までと小さな振幅にできるので、消費電力を下げることができる。

【0078】(第 2 の実施の形態) 図 2 は本発明の第 2 の実施の形態における入出力回路の構成図を示す。

【0079】尚、図 1 を用いて説明した第 1 の実施の形態と同様の構成については、同一の符号を付している。

【0080】図 2 において、I O は入出力端子、I N は入力端子、O U T は出力端子、E N はイネーブル端子、1 は出力回路である。1 2 は第 1 の PMOS 、 1 1 は第 2 の PMOS 、 1 3 は第 3 の PMOS 、 3 6 は第 4 の PMOS 、 3 2 は第 5 の PMOS 、 3 5 は第 6 の PMOS 、 3 1 は第 7 の PMOS 、 3 7 は他の PMOS である。また、1 4 、 1 5 、 1 6 は NMOS 、 3 8 は第 1 の NMOS 、 3 9 は第 2 の NMOS 、 3 4 は他の NMOS である。1 9 は NAND 回路、2 0 は NOR 回路である。前記 NMOS 1 6 は第 1 の電圧降下回路を構成し、前記 PMOS 3 7 は第 2 の電圧降下回路を構成する。更に、2 1 は電源端子、2 2 はグランド端子、3 3 は第 3 の電圧降下回路であって、前記 NMOS 3 4 と第 6 の PMOS 3 5 とにより構成される。前記 NMOS 3 4 は電圧降下機能を行う回路部分である。4 1 は、前記第 1 の PMOS 1 2 のゲート電圧を制御するゲート制御回路であって、前記第 3 ~ 第 6 の PMOS 1 3 、 3 6 、 3 2 、 3 5 及び前記他の PMOS 3 7 と、第 1 及び第 2 の NMOS 3 8 、 3 9 並びに他の NMOS 3 4 とから成る。

【0081】前記 PMOS 3 2 は、ゲートが入出力端子 I O に接続され、一端が電源端子 2 1 に、他端が PMOS 3 5 を介して NMOS 3 8 のゲート、PMOS 3 7 の一端、NMOS 3 9 の一端に接続される。また、PMOS 3 2 のゲートは、NMOS 3 4 を介して PMOS 3 5 のゲートに接続される。NMOS 3 4 のゲートは電源端子 2 1 に接続される。PMOS 3 7 及び NMOS 3 9 のゲートは互いに接続され、更に NMOS 1 6 と NMOS 3 8 との中間節点にも接続される。PMOS 3 7 の他端

(9)

特開平11-317652

15

16

・はPMOS36を介して電源端子21に接続され、PMOS36のゲートはNMOS16とPMOS13との中間節点に接続される。NMOS38及びNMOS39の他端はグランド端子22に接続される。

【0082】本実施の形態において、前記第1の実施の形態と異なる部分は、前記第1の実施の形態ではPMOS12のゲートが入出力端子IOの電位及びイネーブル端子ENの信号によって制御されているのに対し、本実施の形態では、PMOS12のゲートが入出力端子IOの電位のみによって制御されている点である。

【0083】以上のように構成された入出力回路において、特に出力回路1の動作について、以下、説明する。

【0084】先ず、電源電圧を初めて加えた初期状態においては、通常は入出力端子IOは0Vである。この時、NMOS34のゲートは電源端子21と接続されているので導通状態、PMOS32、PMOS35のゲートには入出力端子IOから0Vが印加され、導通状態となる。続いて、NMOS38は、そのゲートに電源端子21、PMOS32、PMOS35を介して”H”の信号が入力されるので、導通状態となる。NMOS16は、ゲートが電源端子21(3.3V)に接続されているので導通状態である。従って、PMOS12、PMOS36、PMOS37、NMOS39のゲート電圧は0Vとなる。これにより、PMOS12、PMOS36、PMOS37は導通状態、NMOS39は遮断状態となるので、NMOS38のゲート電圧は3.3Vで安定する。

【0085】また、PMOS12も導通状態であり、更にNMOS14も導通状態である。従って、入出力端子IOから”H”的信号を出力するときには、イネーブル端子ENを”H”、入力端子INを”H”とすることによって、NAND回路19、NOR回路20の出力が共に”L”となり、PMOS11が導通状態、NMOS15が遮断状態となり、入出力端子IOからは”H”的信号が出力される。

【0086】一方、入出力端子IOから”L”を出力するときには、イネーブル端子ENを”H”、入力端子INを”L”とすることによって、NAND回路19、NOR回路20の出力が共に”H”となり、PMOS11が遮断状態、NMOS15が導通状態となり、入出力端子IOからは”L”的信号が出力される。

【0087】入出力端子IOから信号を入力するには、イネーブル端子ENを”L”として、出力回路1をハイインピーダンス状態とする。即ち、イネーブル端子ENを”L”とすると、NAND回路19の出力は”H”、NOR回路20の出力は”L”となる。これによりPMOS11のゲートは”H”、NMOS15のゲートは”L”となり、それぞれ遮断状態となる。従って入出力端子IOからの電流経路はなくなり、出力回路1はハイインピーダンス状態となる。この状態で入出力端子IOか

ら内部回路へ信号入力するときは、入出力回路IOから入力回路2、出力端子OUTを介して内部回路に信号が入力される。

【0088】更に、電源電圧よりも高い電圧が入力された場合、例えば電源電圧が3.3Vであって5Vの信号が入力された場合には、PMOS13ではゲート電圧(3.3V)よりも一端の電圧が高くなる(5Vになる)ことによって、PMOS13が導通状態となり、5Vの入力信号がPMOS12のゲートに伝搬される。これによりPMOS12は、そのゲートが5Vになって遮断状態になり、入出力端子IOから電源端子21への電流を遮断する。

【0089】また、NMOS16にも5Vが伝搬されるが、NMOS16のゲートは3.3Vであるので、ゲート電圧(3.3V)からNMOS16の閾値電圧(バッカバイアス効果を考慮して1Vとする)を差し引いた電圧(2.3V)がNMOS38の一端、PMOS37のゲート、NMOS39のゲートに印加されることになる。このため、NMOS39は導通状態となる。PMOS32はゲートが5Vであるので遮断状態である。PMOS32、PMOS36が遮断状態、NMOS39が導通状態であるので、NMOS38のゲートは0Vとなり、NMOS38は遮断状態となる。このため、入出力端子IOからPMOS13、NMOS16を通じて流れ込んできた電流はNMOS38により遮断される。PMOS32においては、ゲートが5Vとなるが、PMOS35のゲート電圧もNMOS34の効果で2.3Vとなり、これによりPMOS32の一端の電圧は、2.3VにPMOS35の閾値電圧を加えた電圧(PMOS35の閾値電圧を0.6Vとすると2.9V)までしか下がらないため、PMOS32のゲート酸化膜の電圧は2.1Vにしかならない。

【0090】尚、万が一、電源電圧を初めて加えた初期状態において入出力端子が3.3Vである場合は、PMOS32が遮断状態のため、出力回路1の状態が不定になる。このような場合は、先ず、入出力端子IOから”L”的信号を出力するか、又はNMOS38のゲートに高抵抗のブルアップ抵抗を挿入すれば、前記状態の不定を解決できる。

【0091】以上のような構成によれば、入出力端子IOから外部へ信号を出力する際には、PMOS12は常に導通状態にあり、入力端子INからの信号はNAND回路19、PMOS11、PMOS12を経て入出力端子IOから出力されるので、従来の出力回路よりも遅延時間を短くすることができる。

【0092】また、NAND回路19が駆動する素子はPMOS11だけであるので、NAND回路19のトランジスタサイズを大きくする必要はなく、LSIの高集積化に貢献できる。また、NAND回路19が駆動する負荷は小さく、更にNAND回路19のトランジスタサ

50

イズ自身も小さいので、消費電力の低減にも効果がある。

【0093】更に、本実施の形態では、前記第1の実施の形態には無い次の効果をも奏する。即ち、前記第1の実施の形態では、イネーブル端子ENの電圧が"H"のままでは第1のNMOS17は導通状態であるため、電源電圧を越える電圧の信号が入出力端子IOに入力された際には、この入出力端子IOからPMOS13、NMOS16、NMOS17を経てグランド端子22に至る電流経路が作られて、不要な電流が流れる。しかし、本実施の形態では、イネーブル端子ENの電圧が"H"のままであっても、電源電圧を越える電圧の信号が入出力端子IOに入力された際には、ゲート制御回路41内の第1のNMOS38が遮断状態となり、これにより、入出力端子IOからPMOS13、NMOS16、NMOS38を経てグランド端子22に至る電流経路が遮断されるので、不要な電流は流れない。従って、本実施の形態の構成によれば、イネーブル信号を使わずに電源電圧よりも高い電圧の信号を入力できるので、イネーブル端子ENがなくてハイインピーダンスにできない出力回路においても、電源電圧よりも高い電圧が印加された場合に出力回路1を保護することができる。

【0094】尚、出力回路1を構成する各トランジスタの耐圧が5Vであり、電源電圧のみが3.3Vの場合には、NMOS14、NMOS16、NMOS34、PMOS35、PMOS36は必ずしも設ける必要はない。

【0095】また、PMOS11、PMOS12、PMOS13の基板は、従来例のように入出力端子IOに接続しても良い。しかし、本実施の形態のようにPMOS31を介して電源端子21に接続すると、基板の電圧が従来例では0Vから5Vまで変動するのに対し、本実施の形態では基板電圧の変動幅が3.3Vから5Vまでと小さな振幅となるので、消費電力を下げることができます。

【0096】尚、前記第1及び第2の実施の形態では、第1及び第3の電圧降下回路は、ゲートを電源電圧としたNチャネル型MOSトランジスタ16、34で構成し、前記第2の実施の形態では、第2の電圧降下回路は、ゲートを電源電圧以下にしたPチャネル型MOSトランジスタ37で構成したが、各電圧降下回路の構成は、これ等の構成の他、図4(a)に示すようにダイオードDで構成したり、図4(b)、(c)、(d)に示すように、前記Nチャネル型MOSトランジスタ16、前記Pチャネル型MOSトランジスタ37、又はダイオードDを各々複数直列接続した回路等、何れの構成を探

用してもよいのは勿論である。

【0097】

【発明の効果】以上説明したように、本発明の出力回路によれば、電源電圧よりも高い電圧の信号を入力した場合であっても、不要な電流の発生及びゲート酸化膜の破壊を起こすことなく、従来よりも更に遅延時間の短い出力回路を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における入出力回路の構成を示す図である。

【図2】本発明の第2の実施の形態における入出力回路の構成を示す図である。

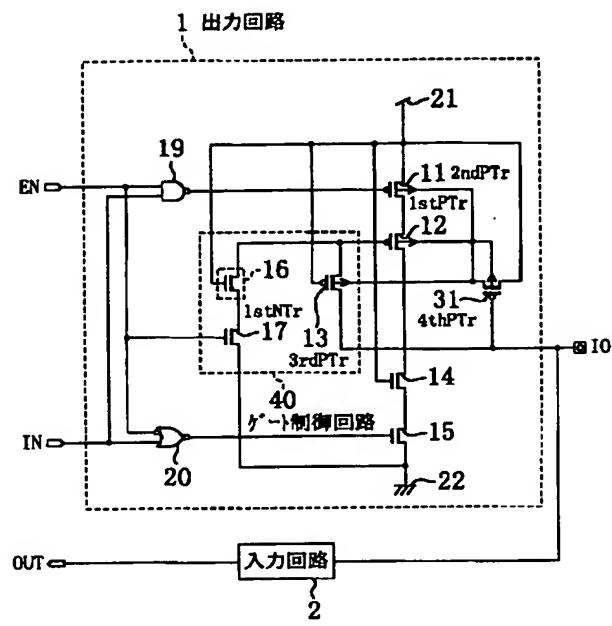
【図3】従来の入出力回路の構成を示す図である。

【図4】本発明の第1及び第2の実施の形態の入出力回路が備える電圧降下回路の変形例を示す図である。

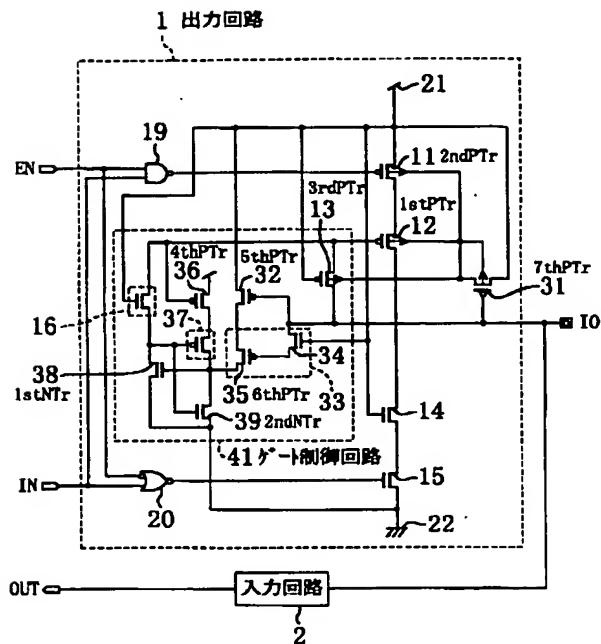
【符号の説明】

IN	入力端子
OUT	出力端子
EN	イネーブル端子
20	
IO	入出力端子
1	出力回路
2	入力回路
11	第2のPチャネル型MOSトランジスタ
12	第1のPチャネル型MOSトランジスタ
13	第3のPチャネル型MOSトランジスタ
16	Nチャネル型MOSトランジスタ(電圧降下回路及び第1の電圧降下回路)
17	第1のNチャネル型MOSトランジスタ
19	NAND回路
30	
20	NOR回路
21	電源端子
22	グランド端子
31	第4及び第7のPチャネル型MOSトランジスタ
32	第5のPチャネル型MOSトランジスタ
33	第3の電圧降下回路
34	Nチャネル型MOSトランジスタ
35	第6のPチャネル型MOSトランジスタ
36	第4のPチャネル型MOSトランジスタ
40	
37	Pチャネル型MOSトランジスタ(第2の電圧降下回路)
38	第1のNチャネル型MOSトランジスタ
39	第2のNチャネル型MOSトランジスタ
40, 41	ゲート制御回路

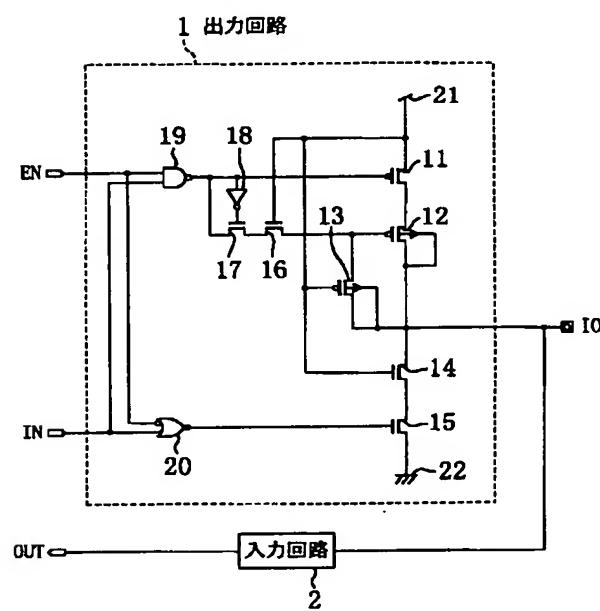
【図 1】



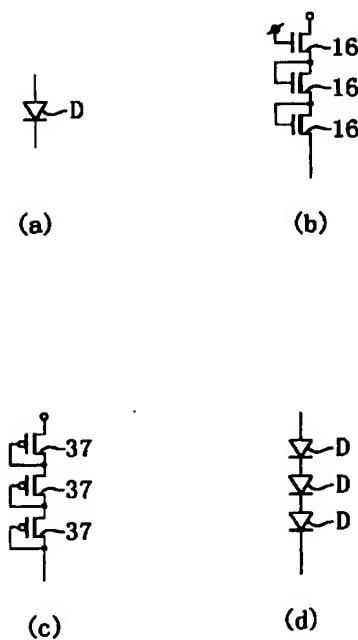
【図 2】



【図 3】



【図 4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.